

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 03173175
PUBLICATION DATE : 26-07-91

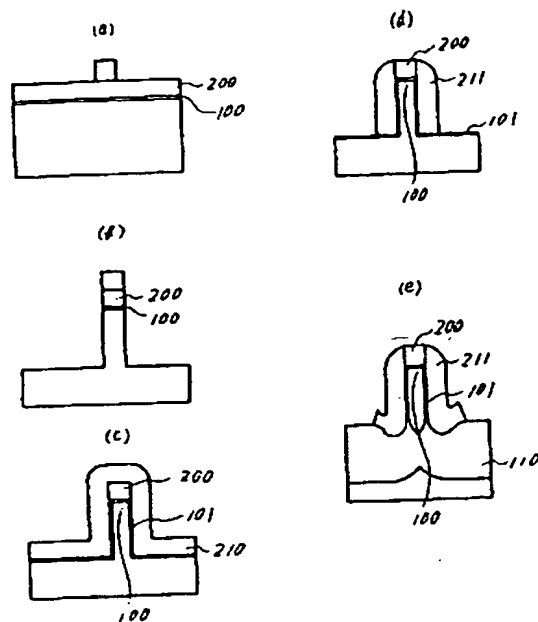
APPLICATION DATE : 01-12-89
APPLICATION NUMBER : 01310628

APPLICANT : HITACHI LTD;

INVENTOR : TAKEDA EIJI;

INT.CL. : H01L 27/108 H01L 27/04 H01L 27/12

TITLE : SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To integrate an ultrathin-film SOI MOSFET and other elements on the same substrate by a method wherein an ultrathin-film SOI MOSFET structure whose matching property with the other elements is high is formed by using a selective oxidation method.

CONSTITUTION: A resist on a silicon nitride layer 200 deposited on an oxide film layer 100 to be used as a substratum on a silicon substrate is patterned by using a photomask; the silicon nitride layer 200 is etched by using the resist as a mask; after that, the oxide film layer 100 and the silicon substrate are etched continuously. The resist is removed; after that, an oxide film 101 to be used as a substratum of a nitride film 210 is formed again on the exposed silicon surface; the silicon nitride layer 210 is deposited. A silicon nitride corresponding to a thickness of the silicon nitride layer 210 deposited nearly perpendicularly is etched on the whole surface of the substrate; a silicon nitride spacer 211 is formed on a side face of a protrusion formed by using the initial pattern 200. An oxidation operation is executed by using the silicon nitrides 200 and 211 as a mask; a thick oxide film 110 is grown only in a part where a silicon nitride mask does not exist.

COPYRIGHT: (C)1991,JPO&Japio

⑫ 公開特許公報(A) 平3-173175

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)7月26日

H 01 L 27/108
27/04
27/12C 7514-5F
7514-5F
8624-5F

H 01 L 27/10 3 2 5 G

審査請求 未請求 請求項の数 4 (全13頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 平1-310628

⑰ 出 願 平1(1989)12月1日

⑱ 発 明 者 久 本 大 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 武 田 英 次 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

- シリコン酸化膜上に形成した基板に垂直な面を基板面に平行方向に電流が流れるチャネルとして用いる絶縁ゲート型電界効果トランジスタを持つ半導体素子において、該シリコン酸化膜と素子間アイソレーションを行なう酸化膜が同一酸化工程において形成されたことを特徴とする半導体装置。
- 特許請求の範囲第1項記載の半導体装置において、上記シリコン酸化膜上の半導体が基板結晶により構成したことを特徴とする半導体装置。
- 容量素子とアクセストランジスタを同一のシリコン酸化膜上に形成することにより、メモリーセルを基板と電気的に分離したことを特徴とする半導体装置。
- 基板表面に形成した凸部を基板面に垂直方向にバイポーラトランジスタチャネルとして用い、

凸部側面をMOSトランジスタチャネルとして用いることを特徴とする半導体装置。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、半導体素子に係り、特に高集積化可能な半導体装置に関する。

【従来の技術】

MOSFET特性を向上させる方法として超薄膜SOIMOSFET(Ultra Thin Film Silicon On Insulator MOSFET)構造が考えられている。従来の超薄膜SOIMOSFET形成プロセスのプロセスフローを第9図(a)に、第9図(b)に比較のため従来MOSFETの形成プロセスのプロセスフローを示す。この構造のSOI基板構造形成工程では、シリコン基板上に酸化膜を成長させたのち、酸化膜に開口部を設け下地シリコン結晶を露呈させたうえに、基板全面に多結晶あるいはアモルファス状態のシリコンを被着し、さらに、レーザあるいはエレクトロンビームをあてて溶解させ、開口部を介して下地シリコンを再結

晶化させ、下地シリコンの結晶情報をもったシリコン半導体層を酸化膜上に形成し、さらにこのシリコン半導体層を削ることで所望の厚さに揃えた超薄膜半導体層とした基板構造を先ず作ることが必要である。MOSFETデバイスを形成するには、この後、上記基板を出発点として、さらに通常のデバイス形成工程であるアイソレーション形成工程、アクティブ素子形成工程等を通すことが必要である。そのため、基板構造が、従来基板と異なるため超薄膜SOIMOSFET以外に従来構造のMOSFETや、MOS容量素子、あるいは抵抗素子等の素子を同一基板上に形成することが困難であった。

一方、こうしたSOI基板形成プロセスの複雑さを避けるため、IEEE IEDM86, pp. 814-816や特開平1-152660にみられるように、選択酸化によりSOI基板を形成する技術が知られている。この技術により得たSOI基板構造を用いたMOSFETとしては、IEEE IEDM86, pp. 814

別々のプロセスを行うことが上に示したように必要なためである。本発明の目的は従来プロセスと整合性の高い超薄膜SOI基板構造形成を用いて、他素子と整合性の高い超薄膜SOIMOSFET構造を形成することにより、同一基板上に超薄膜SOIMOSFETと他素子を集積することにある。

【課題を解決するための手段】

選択酸化法を用いて超薄膜SOI基板構造を実現し、かつ、このSOI形成法の特徴を活かした従来素子と整合性の高い超薄膜SOIMOSFET構造の素子を形成することにより、他素子と超薄膜SOIMOSFETの集積が可能となる。従来の選択酸化法によるアイソレーション形成工程は、第10図に示すように、シリコン基板上に下敷きとなる酸化膜層100上にシリコン窒化物層200を堆積した上のレジストをホトマスクを用いてパターンニングし（第10図（a））、レジストマスクにシリコン窒化物層200をエッチングし、レジストを除いたのち

ー816にみられるように従来MOSFETを作ることと、特開平1-152660にみられるように半導体層が絶縁膜上に島状に形成されることを利用し、基板面に垂直方向に電流を流すことが考えられてきた。しかし、前者においては、超薄膜SOIMOSFETの形成が困難であり、後者においては、半導体基板表面に高い段差を作ることになり、基板面に従来素子を形成することが困難になる課題を生じていた。そのため、同一基板に縦型のチャネルをもつ素子と従来素子を形成するには、別々の形成プロセスを通すことが必要となる。たとえば、選択酸化によるSOI構造形成を用いていながら第9図（d）に示すようにかえって煩雑なプロセスフローとなる。

【発明が解決しようとする課題】

上記従来技術で様々な素子を超薄膜SOIMOSFETと同一基板上に形成することが困難なのは、超薄膜SOI基板構造を実現するためのプロセスと素子形成プロセスが異なること、および縦型のMOSFET構造を導入するために

（第10図（b））、シリコン窒化物パターン200をマスクに酸化をおこなうことで、シリコン窒化物マスク200のないところのみに厚い酸化膜110を成長させ（第10図（c））て、アイソレーション領域を形成していた。これが、第9図（b）に示した従来プロセスにおける代表的アイソレーション形成工程である。これに対して、本発明の超薄膜SOI形成工程では、シリコン基板上に下敷きとなる酸化膜層100上にシリコン窒化物層200を堆積した上のレジストをホトマスクを用いてパターンニングし（第11図（a））、レジストマスクにシリコン窒化物層200をエッチングしたのち、連続して酸化膜層100およびシリコン基板をエッチングする（第11図（b））。レジストを除いたのちエッチングにより露呈したシリコン表面に再びシリコン窒化物層210の下敷きとなる酸化膜101を形成してからシリコン窒化物層210を堆積する（第11図（c））。基板全面を垂直方向にほぼ堆積したシリコン窒化物層210の厚さ相当のシリコ

ン窒化物エッチングすることで最初のパターン200により形成した突起部側面にシリコン窒化物スペーサ211を形成する(第11図(d))。シリコン窒化物200および211をマスクに酸化をおこなうことで、シリコン窒化物マスクのないところのみに厚い酸化膜110を成長させる。(第11図(e))このときシリコン窒化物パターン200が十分に薄いとき、パターンしたで横方向にまわり込んで成長してきたシリコン酸化膜が両側より繋がりSOI基板構造をとることができる。一方このときパターン200が十分に大きいところでは、ほぼ通常のアイソレーション領域を形成することができる。

【作用】

本発明を用いたときのプロセスフローは第9図(c)のように、超薄膜SOI基板構造の形成プロセスを、アイソレーション形成プロセスと一緒に行うことができる。そのため従来MOSFET形成プロセスと極めて整合性が高く、また、縦型MOSFETのような特殊な素子構造も必要とし

ない素子を構成している。この構造により超薄膜SOIMOSFETとMOS容量素子を混在させることができる。この構造の形成を以下に示す。(第1図(c))P型シリコン基板上に下敷きとなる10nmの酸化膜層100を熱酸化により形成し、その上に厚さ200nmのシリコン窒化物層200をCVD法により堆積した上で、レジスト法を用いて超薄膜SOIMOSFET形成部500では幅0.1 μ m、MOS容量素子形成部700では必要な容量にあわせ例えば2 μ mのパターニングを行う。

(第1図(d))レジストマスクにシリコン窒化物層200をエッチングしたのち、連続して酸化膜層100およびシリコン基板を0.4 μ mエッチングし、シリコンの超薄膜部500を突起状に形成する。

(第1図(e))レジストを除いたのちエッチングにより露出したシリコン表面に厚さ10nmの酸化膜101を形成してから再び厚さ100nmのシリコン窒化物層210をCVD法により堆積

しないことから、超薄膜SOI基板構造を形成しても工程数を増やすことなく、容易に他の素子と超薄膜SOIMOSFETを同一基板上に同時に形成することができる。

【実施例】

以下、本発明の実施例を図面を用いて説明する。

第1図は、本発明による代表的素子組合せ例である超薄膜SOIMOSFETとMOS容量素子の形成法および素子構造を示したものである。第1図(a)は素子平面配置図、(b)は(a)のA-A断面構造図である。破線枠Bは超薄膜SOIMOSFET形成部、破線枠CはMOS容量素子形成部である。超薄膜SOIMOSFETは基板と垂直に立つ超薄膜SOI500をチャネルとしてゲート絶縁膜150によりチャネルと絶縁されたゲート410によりMOSTランジスタが構成される。ソースおよびドレイン電極は各々810、850のコンタクトを介して引出される。MOS容量素子は基板容量電極700と容量絶縁層155を挟んでプレート420によりMOS容

する。

(第1図(f))基板全面を垂直方向に100nm相当のエッチングを行い、図中⓪で示した様な平坦部において、酸化膜101を露出させる。このとき最初のパターン200により形成したシリコンの突起部側面にシリコン窒化物スペーサ211を形成する。

(第1図(g))シリコン窒化物200および211をマスクに酸化膜101を基板に垂直にエッチングし、さらに、シリコン基板を等方的に0.1 μ m程度エッチングすることで、シリコン窒化物210下に切れ込みを形成することで後の工程における酸化膜110の形状を適当なものに制御する。このとき第13図(a)、(b)に示すようにシリコンの異方的エッチング前に等方的なエッチングを行ないシリコン上部の角を丸めることで、後の工程で形成するゲート酸化膜の耐圧を高めることができる。

(第1図(h))シリコン窒化物200および211をマスクに1100℃の熱酸化を行いマス

クのないところのみに厚さ600nmの酸化膜110を成長させる。このときシリコン窒化物パターン200が十分に狭いとき、パターンしたで横方向にまわり込んで成長してきたシリコン酸化膜が両側より覆がりシリコン超薄膜部500においてSOI基板構造が形成される。一方このときパターン200が十分に大きいところでは、ほぼ通常のアイソレーション領域を形成することができる。

(第1図(i))熱リン酸系のエッチングにより、シリコン窒化物層を除去した後、フッ酸系のエッチングによりシリコン窒化物層の下敷きに形成したシリコン酸化膜100、101を取り除きシリコンを露呈してから、再び熱酸化することでシリコン表面にゲート酸化膜150を形成する。MOS容量素子では容量絶縁膜155が形成される。

上記基板全面に多結晶シリコン層400をCVD法により200nm堆積した後、多結晶シリコン層400にリンを高濃度拡散させ導電化す

る。

(第1図(j))レジスト法を用いてパターンングし、多結晶シリコンを異方的にエッチングすることで多結晶シリコン層400で超薄膜

SOIMOSFET素子のゲート電極410およびMOS容量のプレート電極420を形成する。

ソース、ドレイン電極拡散層812、852は、ゲート電極410をマスクにヒ素を40KeVのエネルギーで $3 \times 10^{15} \text{ cm}^{-2}$ イオン打ち込みし、その後熱処理することで導電化して形成する。このイオン打ち込みにあたっては、基板を傾け、斜めよりイオン打ち込みすることで、超薄膜500側面にイオンを導入することができる。

以下、CVD法により絶縁層160を堆積してから、各々の電極にコンタクトを開口し、金属配線材をCVDで堆積し、レジスト法によりパターンングすることで配線を形成する。配線層は、まず被覆性の高い材料層811被着後、導電性の高い材料層を積み上げた積層構造とすることで、配線およびコンタクトの抵抗を低くすることで、超

薄膜SOIMOSFETの素子性能を有効に活かすことができる。被覆性の高いものとしてチタンナイトライドを配線層811に、低抵抗材としてアルミを配線層810にもちいる。これらの工程は、従来の素子形成プロセスと同様である。

第2図は超薄膜SOIMOSFETを介してMOS容量素子にアクセスできるようにした半導体装置である。第2図(a)は平面レイアウト、第2図(b)は(a)のA-A断面による素子断面構造である。本構造では、容量部にノイズ電荷が集まることを防ぐこと、および酸化膜110との基板界面が空乏化するのを防ぐため、基板より不純物濃度を高めた高不純物濃度層749を設けている。

この素子組合せによりDRAMのメモリーセルを構成することができる。このとき、MOS容量素子の蓄積電荷がメモリー情報となるため、情報を確かなものとするためには、蓄積電荷量を大きくすること、また蓄積電荷のリークを低くすることが必要である。

そのため、低電位 V_{ss} と高電位 V_{cc} とでデジタル動作させているDRAM素子においては、MOS容量素子へのアクセス時には、ゲート410に $V_{cc} + V_{th}$ の電位を加えることで、蓄積電荷量を確保する方式が取られている。ここに V_{th} はMOS容量素子にアクセスするMOSトランジスタのオン状態とオフ状態の閾値である。書き込み電位を V_{ss} から V_{cc} で用いるときゲート410は V_{ss} から $V_{cc} + V_{th}$ で動作する。

また、 V_{th} 以下のオフ状態のトランジスタの電流(すなわちMOS容量素子の電荷リーク)は、ゲートバイアスを V_{th} より小さくするに従い、指数関数的に減少する。そのため閾値 V_{th} は、電荷リークを小さくするよう、 $V_{th} - V_{ss}$ を大きく設定することが必要である。本発明に用いる超薄膜SOIMOSFETにおいては、ゲートの電界効果が従来のMOSFETに比べ強く働くため、トランジスタの V_{th} は小さくなる。そのため、従来リークを抑えるため設定していた

$V_{th} - V_{ss} (= V_{off})$ を確保するため、書き込み電位を V_{ss} から V_{cc} で動作しているとき、ゲート410は $V_{ss} - V_{off}$ から V_{cc} で動作させればよい。

第3図は従来MOSFET(図中Aで示す)と超薄膜SOIMOSFET(図中Bで示す)と積層型容量素子(図中Cで示す)を形成したものである。従来MOSFETは、基板より高濃度の不純物をドーピングしたウェル750上に形成されている。超薄膜SOIMOSFETと容量素子は、酸化膜層110の上に形成される。従来MOSFETと超薄膜SOIMOSFETは実施例1、2で示したMOSの形成法により作られるため、ここでは説明を省く。容量素子(図中C)は、超薄膜半導体500上に導電化した多結晶シリコンの下敷き層720上にタングステン層721を被着して容量電極を形成し、その上に容量誘電膜として5酸化タンタル層155を被着し、その上に電極721と対向してタングステン層420の電極を置き、容量素子を形成する。

コンタクトさせる。この方式により、幅の狭い超薄膜SOIに形成した拡散層電極とのコンタクトを容易におこなうことが可能となる。

第4図は、従来MOSFETと超薄膜SOIMOSFETを組合せたものである。この構成において、従来MOSFETはn型チャンネルのもの、超薄膜SOIMOSFETはn型およびp型チャンネルのトランジスタが形成されている。ウェル750は、従来MOSFETにあわせた高濃度不純物基板層でありコンタクト752を介して電位が与えられている。超薄膜SOIMOSFET部において、ゲート410により超薄膜SOI500にn型チャンネルトランジスタを構成し、ゲート413により超薄膜SOI503にp型チャンネルトランジスタを構成している。

従来nおよびp型の両チャンネルを持つCMOS型の集積回路を持つ半導体を形成するには、基板に比べ高濃度に不純物をドーピングしたnおよびp型のウェルを形成することが必要であった。し

この構造で、酸化膜層110があるため金属層720は、シリコン基板と直接つながるところを持たないため、SOI層のそと(図中A)には金属材料等の影響が出ないため、こうした汚染等に敏感な素子と組合せるときに好適であることを示している。

またこのことは、超薄膜SOIMOSFETのソース、ドレイン電極と配線層のコンタクトを形成するときにも有効になる。第3図(b)(c)にこの方式を応用した超薄膜SOIMOSFETのコンタクト部断面構造を示す。(c)は(b)のA-A断面である。超薄膜SOI500上面では、従来MOSFETと全く同様なゲート形成が行なわれる。そこで厚さ50nmのシリコン酸化膜層130をCVD法により堆積してから、レジストを用いコンタクトを形成したい拡散層上のみ酸化膜130をエッチングして開口し、第3図(a)における容量電極720の代わりに導電化した多結晶シリコンを堆積しコンタクトの下敷き層720を形成し、これを介して配線層810と

かし、本発明によれば、CMOS部を超薄膜SOIMOSFETで形成すれば、こうしたウェルを形成する必要はなく、従来MOSFETのチャンネルにあわせてウェル750を形成すればよい。回路においては、他のチップ等のインターフェイスに近い部分において、従来MOSFETを配置し、演算部等にこうした超薄膜SOIMOSFETを配する等の使い分けを行なうことができる。

また、第12図に示すように、従来MOS形成領域では、シリコン酸化膜110層がシリコンの下に入り込むことを避けることで、シリコンにかかる酸化によるストレスを弱めることができる。この形成は、第12図(b)に示すように、異方向的なシリコンエッチング時に底ではテーパを引くようにエッチングする。その後、シリコン窒化膜スペーサ形成後に、レジスト888でマスクしてシリコンを等方向的にエッチングすることで、酸化時のSOI形状を調整することができる。また、超薄膜SOIMOSFETと従来MOSFETで、

イオン打ち込み時に打ち分けて、打ち込みエネルギーを変えソース、ドレインの拡散層深さを調整することができる。従来MOSFETでは短チャネル効果を抑えるため浅い拡散層を形成し、超薄膜SOIMOSFETでは側面のチャネルを有効に使えるように拡散層を設定する。このイオン打ち込みでは基板面に斜め方向から打ち込むことができる。

第5図は超薄膜SOIMOSFETを用いた例として、n型チャネルトランジスタによるSCFL (Source Coupled FET Logic) 論理ゲートとしてインバータを示したものである。第5図(a)はインバータ回路を示したものの、第5図(b)は(a)の破線④で示したインバータのトランジスタレイアウト例、(c)はその素子断面構造を示したものである。本構造では、超薄膜SOIMOSFETを並列化することで電流を大きくとり、且つ高速に動作させることができるため、高速動作を必要とする例えばブリスケーラ等の応用において極めて有効である。

852とコンタクトすることができる。また、超薄膜SOIMOSFETのソース、ドレイン配線810と同時にエミッタ配線を形成できる。このとき多結晶シリコン層810の上にタングステンシリサイド層813を被着することで抵抗を下げ、且つ異なる不純物導電型間の接続を可能とすることができる。このことは、ゲート410およびベース410配線形成においても同様である。

第8図は、超薄膜SOIMOSFETと同様にして静電誘導型トランジスタ(SIT)を形成したもののSIT部の素子構造を示したものである。n型超薄膜SOI500上のゲート410の両サイドに幅0.3 μ mのシリコン酸化膜スペーサを形成し、これをマスクにヒ素をイオン打ち込みすることで、ソース812、およびドレイン852を形成している。この素子は、超薄膜SOIMOSFETと、ほぼ同じプロセスのみで形成されるため、容易に混在させることができる。【発明の効果】

本発明によれば、超薄膜SOIMOSFETを

またこの超薄膜SOIMOSFETを利用することにより生じる基板半導体型を自由に選べる特長は、超薄膜SOIMOSFETとバイポーラ素子を組合せることを容易にする。第6図は超薄膜SOIMOSFETとバイポーラ素子を同時に形成したものである。バイポーラ素子のベース972は、ゲート410と同時に形成されるベース配線971によりコンタクトされ、この配線とスペーサ技術を用いて自己整合的に形成した不純物をドーピングした多結晶シリコンによるエミッタ配線970およびこれからの不純物拡散により作られたエミッタ969、および、埋め込み不純物層753を介して配線754でコンタクトされたコレクタ755によりバイポーラ素子は形成できる。この際MOSFETの基板構造の制約なしに、このバイポーラ素子特性のみに合わせて濃度等の基板構造を決めることができるため、高性能のバイポーラ素子を形成することができる。

第7図に示すように、埋め込み層753を用いて直接超薄膜SOIMOSFETの拡散層電極

従来ブレーナプロセスと整合性よく形成することができるため、従来MOSFETやMOS容量素子等のこれまでの素子と一緒に超薄膜SOIMOSFETを得ることができる。

4. 図面の簡単な説明

第1図は、本発明の一実施例を示す素子平面配置図および素子構造図、第2図ないし第8図は、その他の実施例を表す断面および平面図、第9図ないし第11図は、従来技術と本技術の形成プロセスの比較を示し本発明の特長を説明する図、第12、13図はその他の実施例を示す図である。

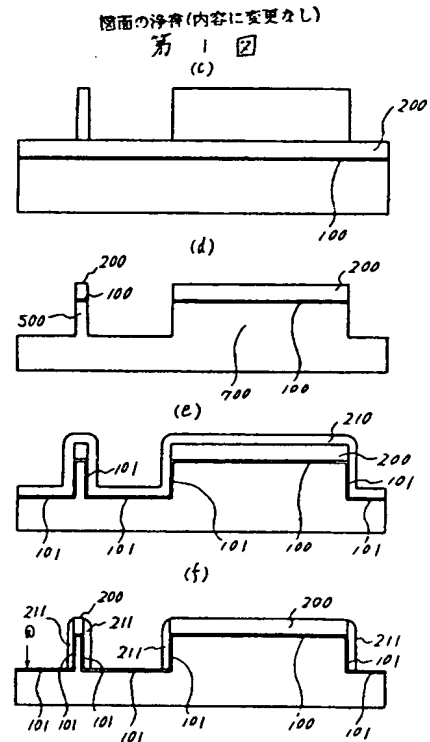
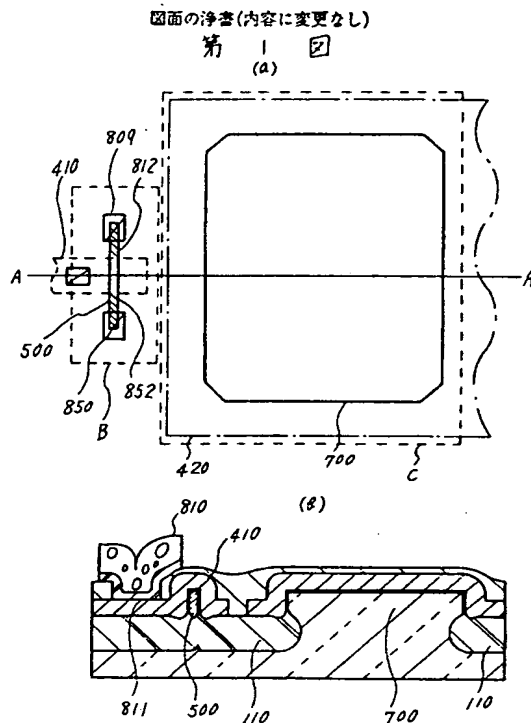
符号の説明

- 100、101：下敷きシリコン酸化膜
- 110、130：シリコン酸化膜
- 137：シリコン酸化物スペーサ
- 150：ゲート酸化膜
- 155：容量結線膜
- 200、210：シリコン窒化物層
- 211：シリコン窒化物スペーサ
- 400：多結晶シリコン層

410、413: ゲート
 420: プレート電極
 500、503: 超薄膜SOI
 700: MOS容量電極
 720: 多結晶シリコン層
 721: 容量電極
 749: 高不純物濃度層
 750: ウェル
 752: ウェルコンタクト
 753: 埋め込み不純物層
 754: コレクタコンタクト
 755: コレクタ
 809: ソースコンタクト
 810、811、849、851: 配線
 812: ソース拡散層
 813: タングステンシリサイド層
 850: ドレインコンタクト
 852: ドレイン拡散層
 888: レジスト
 969: エミタ

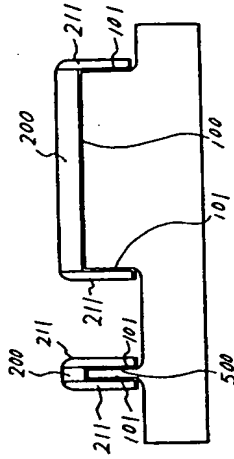
970: エミタ配線
 971: ベース配線
 972: ベース

代理人井理士 小川 勝男

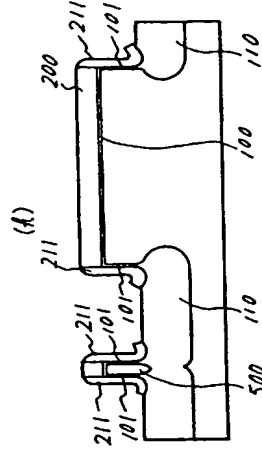


図面の浄書(内容に変更なし)

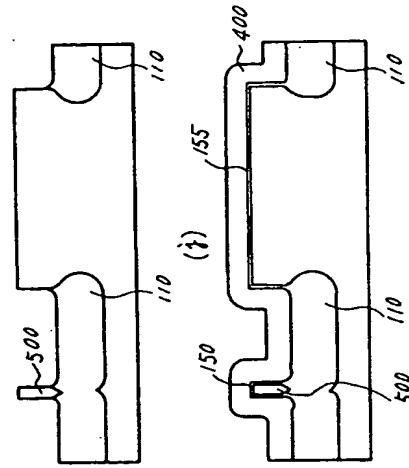
第 1 図
(9)



(A)



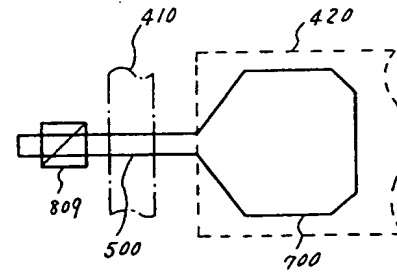
(L)



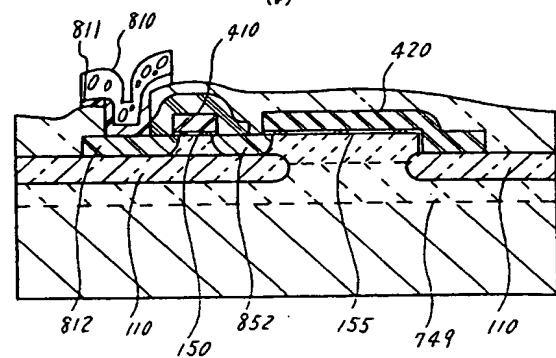
(i)

図面の浄書(内容に変更なし)

第 2 図
(A)

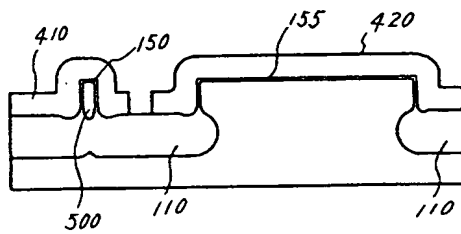


(B)



図面の浄書(内容に変更なし)

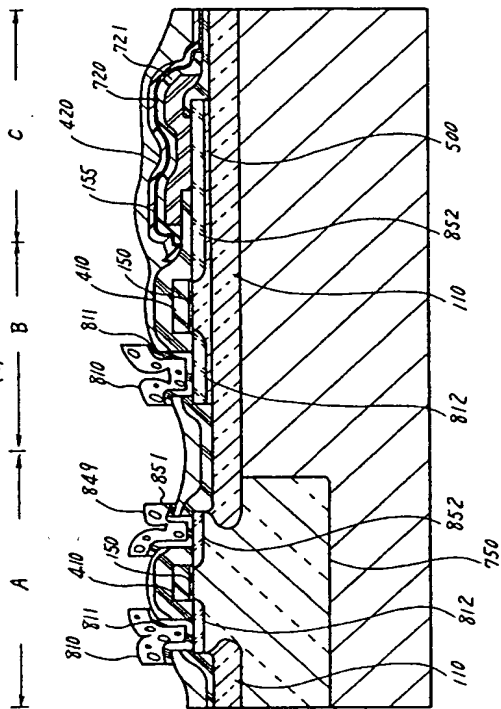
第 1 図
(A)



図面の浄書(内容に変更なし)

第 3 図

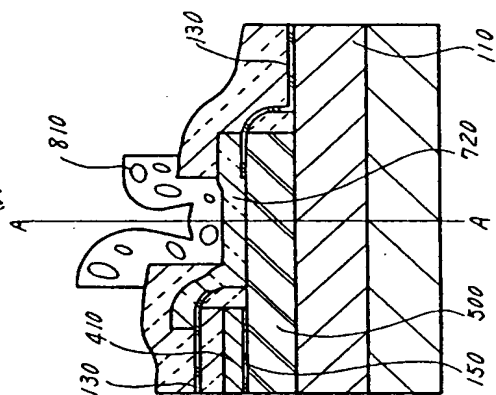
(a)



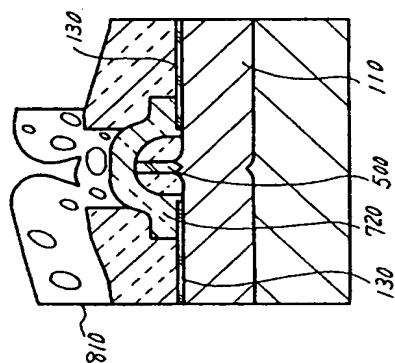
図面の浄書(内容に変更なし)

第 3 図

(b)

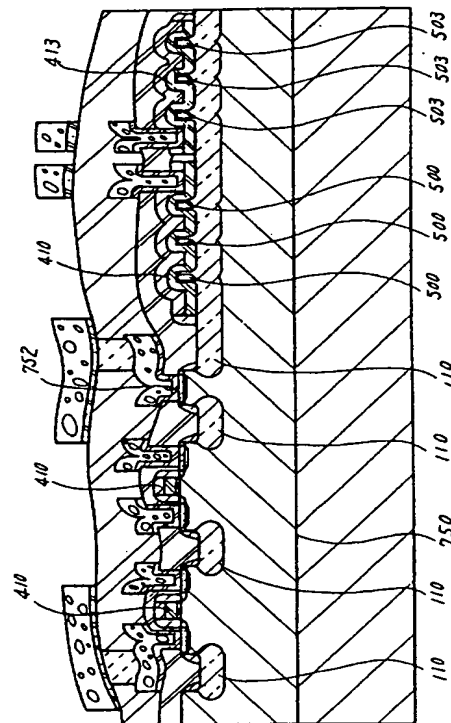


(c)



図面の浄書(内容に変更なし)

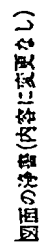
第 4 図



第 5 题 (a)



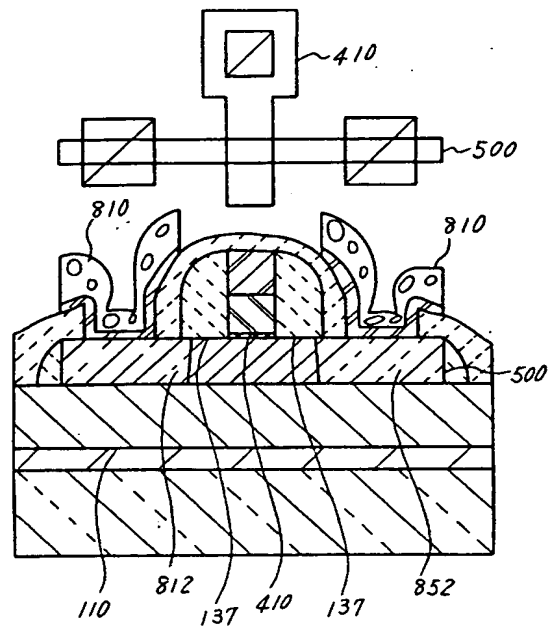
第 5 (c) 圖



第 6 圖

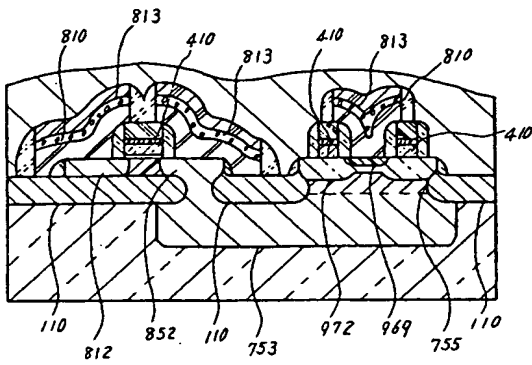
図面の浄書(内容に変更なし)

第 8 図



図面の浄書(内容に変更なし)

第 7 図



第 9 図
(a)

SOI 基板構造形成工程

↓

アイソレーション形成工程

↓

アクティブ素子形成工程

↓

配線形成工程

(b)

アイソレーション形成工程

↓

アクティブ素子形成工程

↓

配線形成工程

(c)

SOI アイソレーション形成工程

↓

縦型アクティブ素子形成工程

↓

横型アクティブ素子形成工程

↓

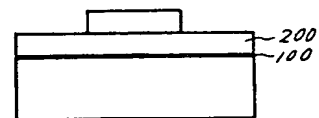
配線形成工程

(d)

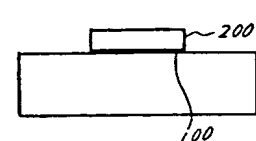
図面の浄書(内容に変更なし)

第 10 図

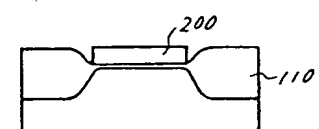
(a)



(b)



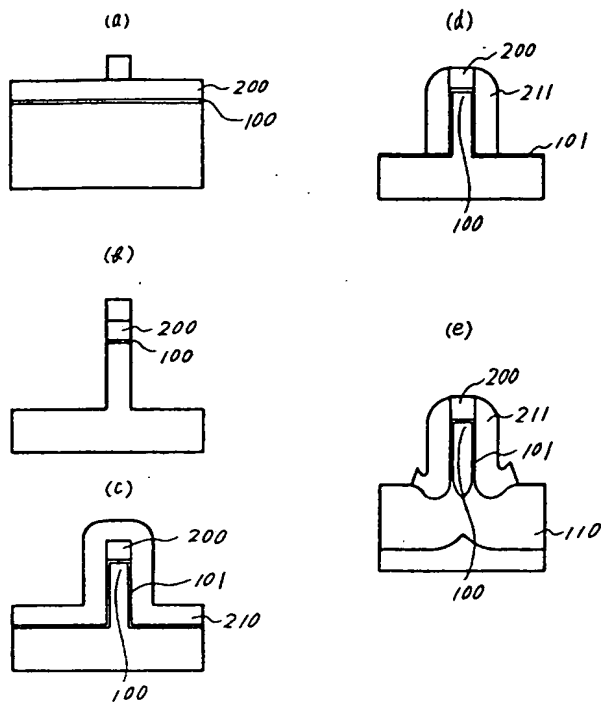
(c)



④ 浄書(内容に変更なし)

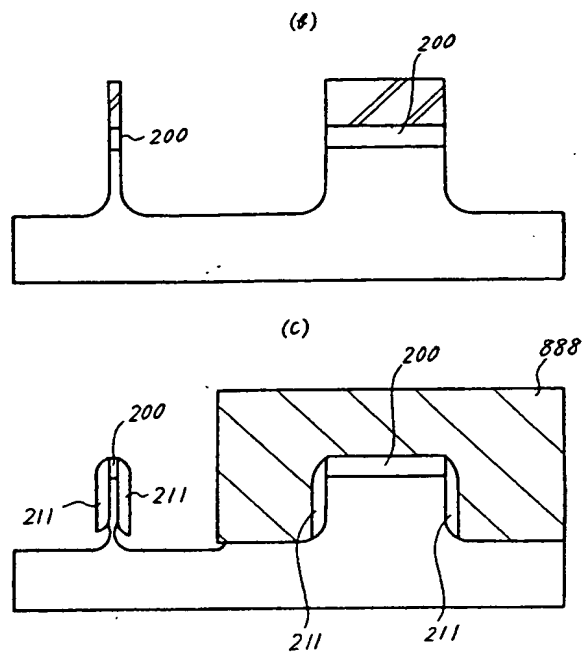
図面の浄書(内容に変更なし)

第 11 図



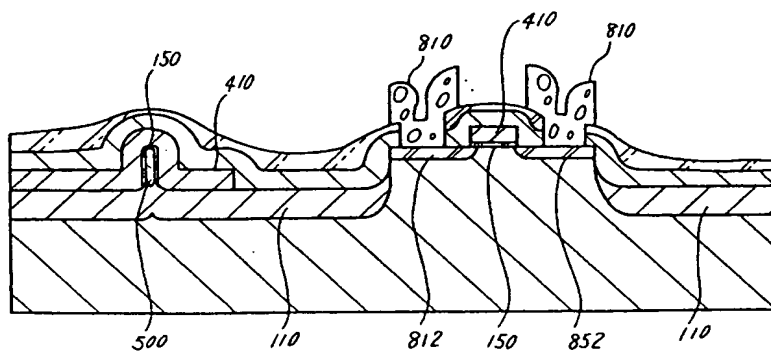
図面の浄書(内容に変更なし)

第 12 回



図面の浄書(内容に変更なし)

第 12 题



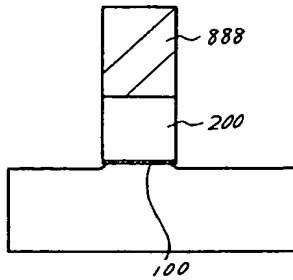
特開平3-173175 (13)

手 続 補 正 書 (方式)

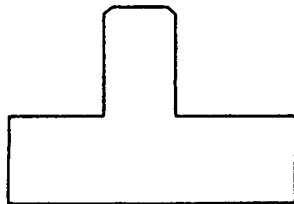
平成 2 年 4 月 2 0 日

図面の浄書(内容に変更なし)

第 13 図
(a)



(b)



特許庁長官 殿

事 件 の 表 示

平成 1 年 特 許 願 第 3 1 0 6 2 8 号

発 明 の 名 称 半 導 体 装 置

補正をする者

事件との関係 特 許 出 願 人
名 称 (510) 株式会社 日 立 製 作 所

代 理 人

居 所 〒100 東京都千代田区丸の内一丁目5番1号
株式会社 日 立 製 作 所 内
電 話 東 京 212-1111(大代表)

氏 名 (6850) 井 理 士 小 川 勝 男

補正命令の日付 平成 2 年 3 月 2 7 日

補 正 の 対 象 図 面

補 正 の 内 容 願書に最初に添付した図面第1図乃至第8
図および第10図乃至第13図を別紙のと
おり浄書する。(内容に変更なし)

特許
第 3 1 0 6 2 8 号
2. 4. 20
出 発
受 付

特許
第 3 1 0 6 2 8 号
2. 4. 20
出 発
受 付